

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005年6月16日 (16.06.2005)

PCT

(10) 国際公開番号  
WO 2005/055188 A1

(51) 国際特許分類: G09G 3/36, G02F 1/133

(21) 国際出願番号: PCT/JP2004/018533

(22) 国際出願日: 2004年12月7日 (07.12.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願2003-408376 2003年12月8日 (08.12.2003) JP

(71) 出願人(米国を除く全ての指定国について): ローム  
株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都  
府京都市右京区西院溝崎町21番地 Kyoto (JP).

(72) 発明者: および

(75) 発明者/出願人(米国についてのみ): 故島秀数 (KOJIMA, Hidekazu) [JP/JP]; 〒6158585 京都府京都市右

(74) 代理人: 紋田誠, 外 (MONDA, Makoto et al.); 〒1010048 東京都千代田区神田司町2-21-10 富士田ビル3階ミネルバ国際特許事務所 Tokyo (JP).

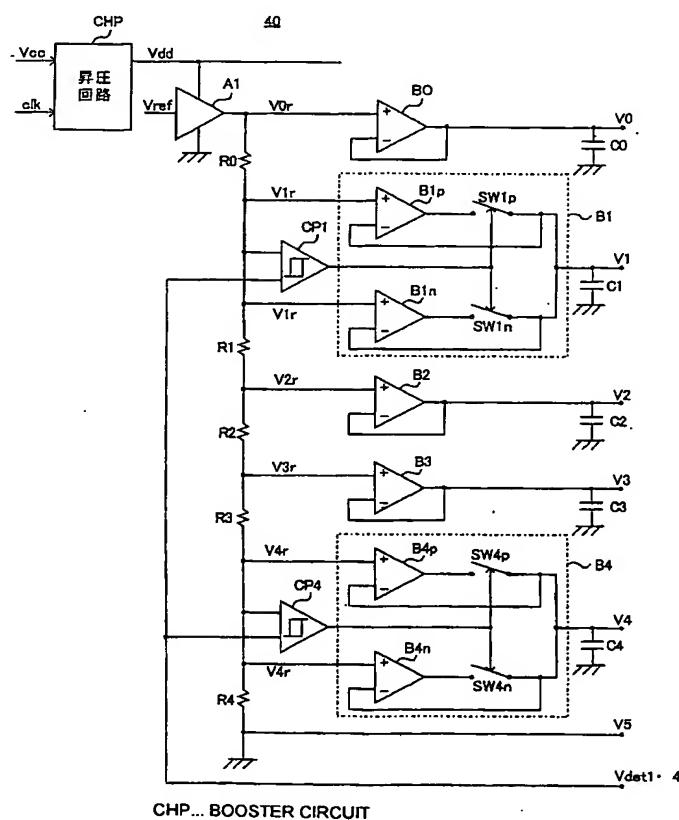
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,

/ 続葉有

(54) Title: DISPLAY DEVICE DRIVING APPARATUS AND DISPLAY DEVICE USING THE SAME

(54) 発明の名称: 表示装置用駆動装置及びそれを用いた表示装置



(57) Abstract: In a matrix display device driving apparatus, a predetermined buffer circuit (B1) in a power supply circuit has first and second output circuits (B1p, B1n) adapted to constantly output the same output voltage (V1). The first output circuit (B1p) exhibits a large ability of driving an output current to a high level side, while the second output circuit (B1n) exhibits a large ability of driving an output current to a low level side. A detected voltage (Vdet1.4) of a detection node connected to an output terminal of the buffer circuit (B1) is compared with a bias voltage (V1r), thereby switching and supplying the outputs of the first and second output circuits (B1p, B1n) to a display. In this way, crosstalk can be reduced, and display quality can be improved.

(57) 要約: マトリクス型の表示装置用駆動装置において、電源回路のうちの所定のバッファ回路 (B1) は、同じ出力電圧 (V1) を常時発生させるようにした、高レベル側への出力電流の駆動能力が大きい第1出力回路 (B1p) と低レベル側への出力電流の駆動能力が大きい第2出力回路 (B1n) とを有する。そして、当該バッファ回路 (B1) の出力端につながる検出位置の検出電圧 (Vdet1.4) とバイアス電圧 (V1r) とを比較して、第1、第2出力回路 (B1p, B1n) の出力を切り替えてディスプレイに供給する。これにより、クロストークを低減し、表示品質を向上する。



SD, SL, SZ, TZ, UG, ZM, ZW), ヨーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明細書

## 表示装置用駆動装置及びそれを用いた表示装置

## 5 技術分野

本発明は、マトリクス型の液晶表示装置等の表示装置を駆動するのに適した表示装置用駆動装置、及びその駆動装置を用いた表示装置に関する。

## 背景技術

10 ドット表示を実現するための液晶表示装置として、互いに直交するように配置された多数のストライプ状の行電極（走査電極：コモン電極）および列電極（信号電極：セグメント電極）が設けられたマトリクス型液晶表示装置が多く用いられている。

15 その液晶表示装置は、各走査電極に順次走査電圧を印加するとともに、走査電極に対する電圧印加と同時に複数の信号電極に対して信号電圧を印加することによって、画像が表示される。各走査電極と各信号電極との交点に、各液晶素子が形成される。

20 各液晶素子は、全ての走査電極に対して1度ずつ電圧が印加し終わるまでの時間（1フレーム周期）における平均的な実効値電圧に応じた透過率に制御される。これにより、1フレーム周期毎に所望の画像を表示させることができる。

25 図8は、従来の液晶駆動装置の構成を示す図である。図8において、液晶表示装置を駆動するための駆動装置は、第1出力電圧V0、第2出力電圧V1、第3出力電圧V2、第4出力電圧V3、第5出力電圧V4、第6電圧V5（グランド電位）を生成して、液晶表示装置LCDに供給する。なお、本出願では、特に断らない場合には、各電圧は、グランド電位を基準とした電圧を言う。この液晶表示装置LCDは、表示パネル（ディスプレイ）及び、走査電極を順次走査する走

査側駆動回路、走査電極の走査と同期して信号電極に信号電圧を印加する信号側駆動回路を含んでいる。

昇圧回路 C H P は、例えばチャージポンプ回路により構成されており、電池電圧  $V_{c c}$  とクロック信号  $c\ 1\ k$  が入力され、昇圧された電源電圧  $V_{d d}$  を得る。

5 この電源電圧  $V_{d d}$  を、電圧増幅器 A 1 に印加し、基準電圧  $V_{r e f}$  を所定倍して第 1 バイアス電圧  $V_{0 r}$  を形成する。この第 1 バイアス電圧  $V_{0 r}$  を抵抗器  $R_0 \sim R_4$  で分圧して、第 2 バイアス電圧  $V_{1 r}$ 、第 3 バイアス電圧  $V_{2 r}$ 、第 4 バイアス電圧  $V_{3 r}$ 、第 5 バイアス電圧  $V_{4 r}$  を形成する。

10 電源電圧  $V_{d d}$  を駆動電源とする第 1 バッファ回路 B 0 ~ 第 5 バッファ回路 B 4 に、第 1 バイアス電圧  $V_{0 r}$  ~ 第 5 バイアス電圧  $V_{4 r}$  がそれぞれ入力され、同じ電圧レベルである第 1 出力電圧  $V_0$  ~ 第 5 出力電圧  $V_4$  が出力される。また、第 6 電圧  $V_5$  は、グランド電位である。

15 これらの第 1 出力電圧  $V_0$  ~ 第 6 電圧  $V_5$  のうち、第 1 出力電圧  $V_0$ 、第 2 出力電圧  $V_1$ 、第 5 出力電圧  $V_4$ 、第 6 電圧  $V_5$  が液晶表示装置の走査側駆動回路に供給される。また、第 1 出力電圧  $V_0$ 、第 3 出力電圧  $V_2$ 、第 4 出力電圧  $V_3$ 、第 6 電圧  $V_5$  が液晶表示装置 LCD の信号側駆動回路に供給される。これらの電圧は、液晶表示装置 LCD の交流化信号（以下、フレーム周期毎の場合を例にして説明する）FR に合わせて、選択されて用いられる。

20 図 9 は、液晶駆動波形の例を示すものであり、走査電極が  $n$  個、信号電極が  $m$  個の液晶表示パネルにおける、特定の走査電極  $C O M_j$ 、信号電極  $S E G_k$  への駆動電圧の印加状態を表している。

25 奇数フレーム（FR：高（H）レベル）においては、走査電極  $C O M_1 \sim C O M_n$  が走査されて順次 1 つの走査電極  $C O M_j$  が選択される。その選択されている走査電極  $C O M_j$  には第 1 出力電圧  $V_0$  が印加される。選択されていない走査電極  $C O M_1 \sim C O M_n$ （ただし、 $C O M_j$  は除く）には第 5 出力電圧  $V_4$  が印加される。一方、信号電極  $S E G_1 \sim S E G_m$  には、選択されている走査電極に

対応した表示信号に応じて第4出力電圧V3あるいは第6電圧V5が印加される。

また、偶数フレーム（FR：低（L）レベル）においては、走査電極COM1～COMnが走査されて順次選択される。その選択されている走査電極COMjには第6電圧V5が印加される。選択されていない走査電極COM1～COMnには第2出力電圧V1が印加される。一方、信号電極SEG1～SEGmには、選択されている走査電極に対応した表示信号に応じて第1出力電圧V0あるいは第3出力電圧V2が印加される。

このようにして交流化制御されつつ、表示信号に応じた画像が液晶表示装置LCDに表示される。

10 この液晶表示装置LCDの各表示素子は、コンデンサ素子として機能する。したがって、その信号電極に印加される信号電圧の変化に応じて、対向する走査電極の電圧がノイズ電圧状に変動する。この電圧変動によってクロストークが発生するから、表示品質を劣化させる原因となる。

この電圧変動への対策として、液晶装置を駆動するための各液晶駆動電圧を、15 一対の第1、第2の電圧NV、PVが入力されるボルテージフォロア型の2つの差動增幅回路と、一方の差動增幅回路により駆動されるN型トランジスタの出力回路及び他方の差動增幅回路により駆動されるP型トランジスタの出力回路により得る、液晶駆動用電源装置がWO00/41028（特許文献1）に示されている。

20 また、液晶表示素子を駆動するためのオペアンプ回路として充電用・放電用に別々のオペアンプ回路を設る。そして、スイッチ回路およびその切り換えタイミングを発生させるためのタイミング回路により、オペアンプ回路を充放電のタイミングにより切り換えるようにした、液晶駆動用電源回路が、特開平9-292596（特許文献2）及び特開平9-203885（特許文献3）に示されている。

しかし、特許文献1のものでは、2つの差動增幅回路に入力される一対の電圧

NV, PVを異なった値とし、それら電圧間にオフセットを持たせているから、両差動増幅回路とも不動作状態となる不感帯が発生してしまう。また、出力回路の出力点で電圧を検出している。したがって、表示電極の電圧変動（ノイズ）は、駆動回路のセレクタ（電圧選択スイッチ）での電圧降下の影響を大きく受けて、  
5 減衰されてから出力回路の出力点に現れる。この理由により、表示電極の電圧変動（ノイズ）を正確に検出することができない。

また、特許文献2及び特許文献3のものでは、充電用オペアンプ回路と放電用オペアンプ回路を、切替タイミング信号に依って切り替えている。したがって、そのタイミング信号を発生させるための回路手段が必要となるし、また、電圧変動に応じた切替制御を行うことができないといった問題を有している。  
10

そこで、本発明は、マトリクス型の液晶表示装置等の表示装置を駆動するのに適した表示装置用駆動装置において、表示パネルの電極に近い場所での電圧を検出して、且つ高レベル側への出力電流の駆動能力を大きくした出力回路と低レベル側への出力電流の駆動能力を大きくした出力回路とを不感帯を持たせることなく切り替えることにより、クロストークを低減し、表示品質を向上することを目的とする。  
15

## 発明の開示

本発明の表示装置用駆動装置は、表示用基準電圧から抵抗分圧して複数のバイアス電圧を発生する抵抗分圧回路と、その複数のバイアス電圧をそれぞれインピーダンス変換して出力電圧として出力する複数のバッファ回路と、マトリクス型表示素子の走査側電極に印加する電圧をその複数のバッファ回路の出力電圧から選択して印加する走査側駆動回路と、そのマトリクス型表示素子の信号側電極に印加する電圧をその複数のバッファ回路の出力電圧から選択して印加する信号側駆動回路を備える。この表示装置用駆動装置において、その複数バッファ回路のうちの少なくとも1つのバッファ回路は、当該バッファ回路へのバイアス電圧と  
20  
25

当該バッファ回路の出力電圧とがそれぞれ入力され高レベル側への出力電流の駆動能力を大きくした第1出力回路と、この第1出力回路から出力するための第1出力スイッチと、当該バッファ回路へのバイアス電圧と当該バッファ回路の出力電圧とがそれぞれ入力され低レベル側への出力電流の駆動能力を大きくした第2出力回路と、この第2出力回路から出力するための第2出力スイッチと、当該バッファ回路へのバイアス電圧と当該バッファ回路の出力端側（あるいは、この出力端につながる走査電極側の配線部）で検出された検出電圧とを比較し、その比較結果に応じて前記第1出力スイッチと前記第2出力スイッチとを切り替えるための電圧比較器とを有する。

10 また、その電圧比較器は、ヒステリシス特性を有することが良い。また、そのヒステリシス特性は、そのバイアス電圧を含まない電圧範囲に設定されている。

本発明の表示装置用駆動装置は、表示用基準電圧から抵抗分圧して複数のバイアス電圧を発生する抵抗分圧回路と、その複数のバイアス電圧をそれぞれインピーダンス変換して出力電圧として出力する複数のバッファ回路と、マトリクス型表示素子の走査側電極に印加する電圧をその複数のバッファ回路の出力電圧から選択して印加する走査側駆動回路と、そのマトリクス型表示素子の信号側電極に印加する電圧をその複数のバッファ回路の出力電圧から選択して印加する信号側駆動回路を備える。この表示装置用駆動装置において、その複数バッファ回路のうちの1つのバッファ回路（以下、高電圧側バッファ回路）は、当該高電圧側バッファ回路へのバイアス電圧と当該高電圧側バッファ回路の出力電圧が入力され高レベル側への出力電流の駆動能力を大きくした第1出力回路と、この第1出力回路から出力するための第1出力スイッチと、当該高電圧側バッファ回路へのバイアス電圧と当該高電圧側バッファ回路の出力電圧が入力され低レベル側への出力電流の駆動能力を大きくした第2出力回路と、この第2出力回路から出力するための第2出力スイッチと、当該高電圧側バッファ回路へのバイアス電圧と表示素子に非表示時に印加される電圧を検出した検出電圧とを比較し、その比較結果

に応じて前記第1出力スイッチとその第2出力スイッチとを切り替えるための第1電圧比較器を有している。さらに、その複数バッファ回路のうちの他の1つのバッファ回路（以下、低電圧側バッファ回路）は、その高電圧側バッファ回路のバイアス電圧よりも低いバイアス電圧と当該低電圧側バッファ回路の出力電圧が  
5 入力され高レベル側への出力電流の駆動能力を大きくした第3出力回路と、この第3出力回路から出力するための第3出力スイッチと、当該低電圧側バッファ回路へのバイアス電圧と当該低電圧側バッファ回路の出力電圧が入力され低レベル側への出力電流の駆動能力を大きくした第4出力回路と、この第4出力回路から出力するための第4出力スイッチと、当該低電圧側バッファ回路へのバイアス電  
10 圧とその検出電圧とを比較し、その比較結果に応じてその第3出力スイッチとその第4出力スイッチとを切り替えるための第2電圧比較器を有している。その検出電圧が検出される検出位置は、その高電圧側バッファ回路の出力端に第1選択スイッチを介してつながるとともに、その低電圧側バッファ回路の出力端に第2選択スイッチを介してつながっており、その第1選択スイッチとその第2選択ス  
15 イッチは交流化信号に応じていずれかが選択される。

また、その第1電圧比較器及び第2電圧比較器は、それぞれヒステリシス特性を有することが良い。

また、その第1電圧比較器は、その検出電圧が、その高電圧側バッファ回路へのバイアス電圧より少し高い電圧範囲でヒステリシス動作を行い、その第2電圧比較器は、その検出電圧が、その低電圧側バッファ回路へのバイアス電圧より少し低い電圧範囲でヒステリシス動作を行う。  
20

本発明の表示装置は、以上のいずれかの表示装置用駆動装置と、この表示装置用駆動装置により駆動されるマトリクス型表示パネルを有する。

本発明によれば、マトリクス型の液晶表示装置等の表示装置を駆動するのに適した表示装置用駆動装置において、複数バッファ回路のうちの少なくとも1つのバッファ回路は、高レベル側への出力電流の駆動能力を大きくした第1出力回路  
25

とこの第1出力回路から出力するための第1出力スイッチと、低レベル側への出力電流の駆動能力を大きくした第2出力回路とこの第2出力回路から出力するための第2出力スイッチとが、並列に接続されるとともに、第1、第2出力回路には同じバイアス電圧が入力される。したがって、第1、第2出力回路の動作に不感帯は発生しない。よって、当該バッファ回路の出力電圧は、所定値に速やかに回復する。

また、そのバッファ回路へのバイアス電圧と当該バッファ回路の出力端側で検出された検出電圧（あるいは、表示素子にその非表示時に印加される電圧を検出した検出電圧）とを比較する電圧比較器を有し、その検出電圧に含まれるノイズ電圧成分を吸収するようにその比較結果に応じて第1出力スイッチと第2出力スイッチとを切り替える。したがって、出力電流を発生していない側の出力回路も常に所定の動作状態にあるから、第1、第2出力スイッチの切替後に直ちに適切な出力を発生することができる。

また、ノイズ発生源に近い位置を検出電圧の検出位置とするから、小さいノイズにも応答して、電圧変動（ノイズ）を速やかに吸収できる。したがって、表示パネルにおけるクロストークを低減し、表示品質を向上することができる。

また、電圧比較器にヒステリシス特性を持たせること、及び、高電圧側の第1電圧比較器は、検出電圧が、高電圧側バッファ回路へのバイアス電圧より少し高い電圧範囲でヒステリシス動作を行い、低電圧側の第2電圧比較器は、検出電圧が、低電圧側バッファ回路へのバイアス電圧より少し低い電圧範囲でヒステリシス動作を行うようにすることにより、電圧比較及びその比較に伴う出力回路の切替を安定して行うことができる。

また、高電圧側バッファ回路と低電圧側バッファ回路とに共通の検出電圧が使用できるから、電圧の異なる2つの比較器に対して検出電圧の帰還経路は1つのみでよい。また、この表示装置は、クロストークによるノイズが低減されるので、表示の品質が向上する。

## 図面の簡単な説明

図 1 は、本発明の実施例に係る液晶表示装置の概略の構成を示す図である。

図 2 は、電源回路 4 0 の構成図である。

5 図 3 . A は、電源回路中のバッファ回路の構成を示す図である。

図 3 . B は、電源回路中の他のバッファ回路の構成を示す図である。

図 3 . C は、電源回路中の他のバッファ回路の構成を示す図である。

図 3 . D は、電源回路中の他のバッファ回路の構成を示す図である。

図 3 . E は、電源回路中の他のバッファ回路の構成を示す図である。

10 図 4 . A は、電源回路中の第 1 各電圧比較器の動作特性を示す図である。

図 4 . B は、電源回路中の第 2 各電圧比較器の動作特性を示す図である。

図 5 は、信号側駆動回路の構成を示す図である。

図 6 は、走査側駆動回路の構成を示す図である。

図 7 . A は、アナログスイッチの具体構成例を示す図である。

15 図 7 . B は、アナログスイッチの他の具体構成例を示す図である。

図 8 は、液晶表示装置を駆動するための、従来の電源装置の構成を示す図である。

図 9 は、液晶表示パネルにおける駆動波形の例を示す図である。

## 20 発明を実施するための最良の形態

以下、本発明の表示装置用駆動装置及びその駆動装置を用いた表示装置の実施例について、液晶表示装置を例に図を参照して説明する。図 1 は、本発明の実施例に係る液晶表示装置の概略の構成を示す図であり、マトリクスディスプレイ 1 0 、走査側駆動回路 2 0 、信号側駆動回路 3 0 、電源回路 4 0 、及び制御回路 5 0 を備えている。なお、表示装置として、有機 E L 表示素子を用いた有機 E L 表示装置を用いることができる。

図2は、電源回路40の構成図であり、図3.A～図3.Eは電源回路中の各バッファ回路の構成を示す図であり、図4.A、図4.Bは、電源回路中の各電圧比較器の動作特性を示す図である。また、図7.A、図7.Bは、アナログスイッチの具体構成例を示す図である。

5 図1において、ディスプレイ10は、対向する2枚の基板上に互いに直交する  
ように複数の信号電極（セグメント電極）X（X1～Xm）及び複数の走査電極  
（コモン電極）Y（Y1～Yn）を設けている。この信号電極X及び走査電極Y  
は、通常、それぞれ数百程度の多数の電極で構成される。これらの信号電極Xと  
走査電極Yとの間には、液晶表示素子が挿まれており、それらの各交点が表示画  
10 素となる。これらの各交点は静電容量で結合された構造であり、例えば単純マト  
リクスディスプレイを構成している。

電源回路40は、表示装置に交流化制御を行う場合に必要な6種類の電圧V0  
～V5を発生し、走査側駆動回路20、信号側駆動回路30にそれぞれ供給する。  
これらの電圧は、電圧V0から電圧V5に向けて順々に低くなる（或いは高くなる）  
15 ように、各々所定の値に設定されている。なお、発生する電圧は6種以上でも構わないし、また交流化制御を行わない場合には、必要な電圧は少ない種類でよい。

制御回路50は、表示データやクロック、各種の制御信号を形成し、走査側駆動回路20、信号側駆動回路30にそれぞれ供給する。表示データDは、信号電極X1～Xmに印加する信号電圧のためのデータ（例えば、PWMデータ）である。この表示データDは信号側駆動回路30に供給される。この表示データDに基づいて、ディスプレイ10の表示階調が制御される。

データシフトクロックCKは、表示データDをシフトするクロックで、信号側駆動回路30に供給される。走査クロックLPは、走査側駆動回路20に供給されて走査電極Yを走査する走査信号となり、また信号側駆動回路30に供給されて1ライン分の表示データDをラッチするラッチ信号となる。交流化信号FRは、

交流化駆動のための反転・非反転信号（H・L レベル）である。交流化駆動を行わない場合には、交流化信号 F R は不要である。

スタート信号 S T は、走査を開始する信号であり、走査側駆動回路 2 0 に供給される。

5 走査側駆動回路 2 0 は、スタート信号 S T、走査クロック L P 及び交流化信号 F R を受ける。そして、走査側駆動回路 2 0 は、走査電極 Y 1 ~ Y n に所定の走査電圧を発生しつつ、走査クロック間隔で走査電極 Y 1 ~ Y n を順次走査する。

10 図 2 の電源回路 4 0 の構成を説明する。電池等からの入力電圧 V c c とクロック信号 c 1 k が昇圧回路 C H P に入力され、昇圧された電源電圧 V d d を出力する。昇圧回路 C H P は、例えばチャージポンプ回路により構成されており、その出力側には電源電圧 V d d を安定させるために平滑用コンデンサを接続している。

15 この電源電圧 V d d を、電圧増幅器 A 1 に印加し、基準電圧 V r e f を所定倍して、表示用基準電圧を形成する。この表示用基準電圧が、第 1 バイアス電圧（第 1 基準電圧） V 0 r になる。この表示用基準電圧を抵抗器 R 0 ~ R 4 で分圧して、第 1 バイアス電圧（第 1 基準電圧） V 0 r と、第 2 バイアス電圧（第 2 基準電圧） V 1 r 、第 3 バイアス電圧（第 3 基準電圧） V 2 r 、第 4 バイアス電圧（第 4 基準電圧） V 3 r 、第 5 バイアス電圧（第 5 基準電圧） V 4 r を形成する。

20 第 1 バッファ回路 B 0 ~ 第 5 バッファ回路 B 4 に、第 1 基準電圧 V 0 r ~ 第 5 基準電圧 V 4 r が入力され、同じ電圧レベルである第 1 出力電圧 V 0 ~ 第 5 出力電圧 V 4 が出力される。これらバッファ回路 B 0 ~ B 4 の駆動電源として、各バッファ回路の出力電圧 V 0 ~ V 4 より高い電圧である電源電圧 V d d を用いるが、出力電圧 V 0 ~ V 3 を用いてもよい。第 6 電圧 V 5 は、グランド電位である。

25 これらの第 1 出力電圧 V 0 ~ 第 6 電圧 V 5 のうち、第 1 出力電圧 V 0 、第 2 出力電圧 V 1 、第 5 出力電圧 V 4 、第 6 電圧 V 5 が液晶表示装置の走査側駆動回路 2 0 に供給される。一方、第 1 出力電圧 V 0 、第 3 出力電圧 V 2 、第 4 出力電圧 V 3 、第 6 電圧 V 5 が液晶表示装置 L C D の信号側駆動回路 3 0 に供給される。

これらの電圧は、図9で説明したのと同様に液晶表示装置LCDの交流化信号FRに合わせて、選択されて用いられる。

図3.Aは、第1バッファ回路B0の構成を示す図である。第1バッファ回路B0は、電源電圧Vddと第1出力電圧V0間にP型MOSトランジスタQ0を設けるとともに、第1出力電圧V0とグランド間に微弱な電流（例えば、 $1\mu A$ 程度）を流す定電流源I0を設けている。この定電流源I0は、バッファ回路の動作を安定させるためのものであり、他のバッファ回路において用いられる定電流源も同様である。

そして、第1基準電圧V0rと第1出力電圧V0を入力し、P型MOSトランジスタQ0への制御信号を出力する演算増幅器（以下、オペアンプ）OP0を有している。この第1バッファ回路B0からはP型MOSトランジスタQ0を介して電流が流出するが、第1出力電圧V0が第1基準電圧V0rに等しくなるよう、P型MOSトランジスタQ0が制御される。この第1バッファ回路B0は、電源電圧VddからP型MOSトランジスタQ0を介して電流が流出するから、第1出力電圧V0に対して高レベル側への出力電流の駆動能力を大きくした出力回路となる。

図3.Bは、第2バッファ回路B1の構成を示す図である。第2バッファ回路B1は、例えば電源電圧Vddと第2出力電圧V1間に、P型MOSトランジスタQ1pと第1出力スイッチSW1pとを直列に接続する。また、第2出力電圧V1とグランド間に、第2出力スイッチSW1nとN型MOSトランジスタQ1nとを直列に接続する。また、P型MOSトランジスタQ1pの出力側（ドレイン側）とグランド間に微弱な電流を流す定電流源I1pを設け、電源電圧VddとN型MOSトランジスタQ1nの出力側（ドレイン側）間に微弱な電流を流す定電流源I1nを設けている。

第2基準電圧V1rと第2出力電圧V1を入力し、P型MOSトランジスタQ1pへの制御信号を出力するオペアンプOP1pと、第2基準電圧V1rと第2

出力電圧  $V_1$  を入力し、N型MOSトランジスタ  $Q_{1n}$  への制御信号を出力するオペアンプ  $O_{P1n}$  を有している。この第2バッファ回路  $B_1$  からは、第1出力スイッチ  $SW_{1p}$  がオンしているときにP型MOSトランジスタ  $Q_{1p}$  を介して電流が流出し、また第2出力スイッチ  $SW_{1n}$  がオンしているときにN型MOSトランジスタ  $Q_{1n}$  を介して電流が流入する。このいずれの場合でも、第2出力電圧  $V_1$  が第2基準電圧  $V_{1r}$  に等しくなるように、常に、P型、N型MOSトランジスタ  $Q_{1p}$ 、 $Q_{1n}$  が制御されている。

P型MOSトランジスタ  $Q_{1p}$ 、オペアンプ  $O_{P1p}$  を含む回路が、第2出力電圧  $V_1$  に対して高レベル側への出力電流の駆動能力を大きくした第1出力回路  $B_{1p}$  となり、N型MOSトランジスタ  $Q_{1n}$ 、オペアンプ  $O_{P1n}$  を含む回路が、第2出力電圧  $V_1$  に対して低レベル側への出力電流の駆動能力を大きくした第2出力回路  $B_{1n}$  となる。

このように、第2バッファ回路  $B_1$  は、高レベル側への出力電流の駆動能力を大きくした第1出力回路  $B_{1p}$  と第1出力スイッチ  $SW_{1p}$  と、低レベル側への出力電流の駆動能力を大きくした第2出力回路  $B_{1n}$  と第2出力スイッチ  $SW_{1n}$  とが、並列に接続されるとともに、第1、第2出力回路  $B_{1p}$ 、 $B_{1n}$  には同じ基準電圧  $V_{1r}$  が入力される。したがって、第1、第2出力回路  $B_{1p}$ 、 $B_{1n}$  の動作に不感帯は発生しない。

第1出力スイッチ  $SW_{1p}$  と第2出力スイッチ  $SW_{1n}$  は、第1電圧比較器  $C_{P1}$  の比較出力により、いずれかのスイッチがオンに、他のスイッチがオフに制御される。第1電圧比較器  $C_{P1}$  はヒステリシス特性を有している。第1電圧比較器  $C_{P1}$  の比較出力により、第2出力電圧  $V_1$  を低い値から上昇させる場合には第1出力スイッチ  $SW_{1p}$  がオンされ、第2出力電圧  $V_1$  を高い値から下降させる場合には第2出力スイッチ  $SW_{1n}$  がオンされる。

第1電圧比較器  $C_{P1}$  は、第2バッファ回路  $B_1$  の内部にその一部として設けるようにしてもよい。

なお、第2バッファ回路B1及び第1電圧比較器CP1の動作電源としては、電源電圧Vddに代えて、第2出力電圧V1よりも高い電圧である、第1出力電圧V0を用いてもよい。他のバッファ回路においても同様に、動作電源として、そのバッファ回路の出力電圧よりも高い出力電圧を、電源電圧Vddに代えて、  
5 用いることができる。

図3.Cは、第3バッファ回路B2の構成を示す図である。第3バッファ回路B2は、第3出力電圧V2とグランド間にN型MOSトランジスタQ2を設けるとともに、電源電圧Vddと第3出力電圧V2間に微弱な電流を流す定電流源I2を設けている。そして、第3基準電圧V2rと第3出力電圧V2を入力し、N型  
10 MOSトランジスタQ2への制御信号を出力するオペアンプOP2を有している。

この第3バッファ回路B2にはN型MOSトランジスタQ2を介して電流が流入するが、第3出力電圧V2が第3基準電圧V2rに等しくなるように、N型MOSトランジスタQ2が制御される。この第3バッファ回路B2は、第3出力電圧V2からN型MOSトランジスタQ2を介して電流が流入するから、第3出力電圧V2に対して低レベル側への出力電流の駆動能力を大きくした出力回路となる。  
15

図3.Dは、第4バッファ回路B3の構成を示す図である。この第4バッファ回路B3は、図3.Aの第1バッファ回路B0と同様な構成であり、基準電圧が第4基準電圧V3rになり、出力電圧が第4出力電圧V3になる。

図3.Eは、第5バッファ回路B4の構成を示す図である。この第5バッファ回路B4は、図3.Bの第2バッファ回路B1と同様な構成であり、基準電圧が第5基準電圧V4rになり、出力電圧が第5出力電圧V4になる。したがって、P型MOSトランジスタQ4p、オペアンプOP4pを含む回路が、第5出力電圧V4に対して高レベル側への出力電流の駆動能力を大きくした第3出力回路B4pとなる。N型MOSトランジスタQ4n、オペアンプOP4nを含む回路が、第5出力電圧V4に対して低レベル側への出力電流の駆動能力を大きくした第4出  
20  
25

力回路B 4 nとなる。また、P型MOSトランジスタQ 4 pの出力側（ドレイン側）とグランド間に微弱な電流を流す定電流源I 4 pを設け、電源電圧V d dとN型MOSトランジスタQ 4 nの出力側（ドレイン側）間に微弱な電流を流す定電流源I 4 nを設けている。

5 第3出力スイッチSW 4 pと第4出力スイッチSW 4 nは、第2電圧比較器C P 4の比較出力により、いずれかのスイッチがオンに、他のスイッチがオフに制御される。第2電圧比較器C P 4はヒステリシス特性を有している。第2電圧比較器C P 4の比較出力により、第5出力電圧V 4を低い値から上昇させる場合には第3出力スイッチSW 4 pがオンされ、第5出力電圧V 4を高い値から下降させる場合には第4出力スイッチSW 4 nがオンされる。

第2電圧比較器C P 4は、第5バッファ回路B 4の内部にその一部として設けるようにしてもよい。

15 第1電圧比較器C P 1は、第2基準電圧V 1 rと、表示素子にその非表示時に印加される電圧である検出電圧V d e t 1・4とが入力され、それらの大きさを比較する。また、第2電圧比較器C P 4は、第5基準電圧V 4 rと検出電圧V d e t 1・4とが入力され、それらの大きさを比較する。

ところで、走査側駆動回路20において、交流化信号F RのH/Lレベルに応じて、第2出力電圧V 1と第5出力電圧V 4とがコモン電圧選択スイッチ（アナログスイッチ）の切替によって選択されて、非選択走査スイッチを介して非表示時の各走査電極Y 1～Y nに印加される。検出電圧V d e t 1・4は、アナログスイッチの切替によって選択されて、走査電極Y 1～Y nへ向けて印加されている電圧である。即ち、検出電圧V d e t 1・4は、表示素子に非表示時に印加されている電圧（第2出力電圧V 1あるいは第5出力電圧V 4）である。

したがって、検出電圧V d e t 1・4は、走査電極Y 1～Y nの実際の電圧に25 より近い電圧である。これにより、走査電極Y 1～Y nの電圧変動（ノイズ）を、アナログスイッチ等に依る電圧降下（減衰）に影響されることが少なく、より正

確に示すものとなる。なお、検出電圧  $V_{det1\cdot4}$  が得られる配線を、走査電極側の配線部という。

図 4. A は、第 1 電圧比較器 C P 1 の検出電圧  $V_{det1\cdot4}$  に対する動作特性を示す図である。第 1 電圧比較器 C P 1 の比較出力は、図 4. A のように検出電圧  $V_{det1\cdot4}$  が第 2 基準電圧  $V_{1r}$  より少し大きい値（例、3 mV）以下では、L レベルである。これにより、常時は、第 1 出力スイッチ S W 1 p がオンしており、第 1 出力回路 B 1 p によって第 2 出力電圧  $V_1$  が出力されている。したがって、検出電圧  $V_{det1\cdot4}$  が第 5 出力電圧  $V_4$  から第 2 出力電圧  $V_1$  に切り替わったときに、スイッチ切替時間なども要することなく、第 1 出力回路 B 1 p から電流を流出させることができる。

また、検出電圧  $V_{det1\cdot4}$  が第 2 基準電圧  $V_{1r}$  よりある値（例、20 mV）以上の所定レベルを超えているときは、第 1 電圧比較器 C P 1 の比較出力は H レベルである。これにより、検出電圧  $V_{det1\cdot4}$  がその所定レベルを越えたときに第 2 出力スイッチ S W 1 n がオンする。よって、第 2 出力回路 B 1 n に電流を流入させて、正極性のノイズを吸収する。

また、第 1 電圧比較器 C P 1 は、第 1、第 2 出力スイッチ S W 1 p、S W 1 n の切替動作を安定して行わせるために、電圧幅が約 20 mV 程度のヒステリシス特性を持つことが望ましい。このヒステリシス特性は、第 2 基準電圧  $V_{1r}$  より少し高い電圧領域で、且つ所定ヒステリシス幅であるように設定される。即ち、ヒステリシス特性は、「 $V_{1r} + \alpha$  (3 mV)」から「 $V_{1r} + \beta$  (20 mV)」、である。

図 4. B は、第 2 電圧比較器 C P 4 の検出電圧  $V_{det1\cdot4}$  に対する動作特性を示す図である。この検出電圧  $V_{det1\cdot4}$  は、第 1 電圧比較器 C P 1 に用いるものと同じものである。第 2 電圧比較器 C P 4 の比較出力は、図 4. B のように検出電圧  $V_{det1\cdot4}$  が第 5 基準電圧  $V_{4r}$  より少し小さい値（例、3 mV）以上では、H レベルである。これにより、常時は、第 4 出力スイッチ S W 4 n が

オンしており、第4出力回路B4nによって第5出力電圧V4が出力されている。したがって、検出電圧Vdet1·4が第2出力電圧V1から第5出力電圧V4に切り替わったときに、スイッチ切替時間なども要することなく、第4出力回路B4nに電流を流入させることができる。

5 また、検出電圧Vdet1·4が第5基準電圧V4rよりある値（例、20mV）以下の所定レベル未満のときは、第2電圧比較器CP4の比較出力はLレベルである。これにより、検出電圧Vdet1·4が所定値より下がったときに第3出力スイッチSW4pがオンする。よって、第3出力回路B4pから電流を流出させて、負極性のノイズを吸収する。

10 また、第2電圧比較器CP4は、第3、第4出力スイッチSW4p、SW4nの切替動作を安定して行わせるために、ヒステリシス特性を持つことが望ましい。このヒステリシス特性は、第5基準電圧V4rより少し低い電圧領域で、且つ所定ヒステリシス幅であるように設定される。

15 図5は、信号側駆動回路30の構成を示す図である。図5において、シフトレジスタ61には、表示データDがデータシフトクロックCKによるシフト動作によって順次入力される。ラッチ回路62に、走査クロックLPによって1ライン分の表示データD（D1～Dm）がラッチされる。

20 データ有りでオンされるデータ有りスイッチSWx1a～SWxma及びデータ無しでオンされるデータ無しスイッチSWx1b～SWxmbが、信号電極X1～Xm毎に一対ずつ設けられている。ラッチされた表示データD（D1～Dm）にしたがって、データ有りスイッチSWx1a～SWxmaあるいはデータ無しスイッチSWx1b～SWxmbがオンされる。

25 第1出力電圧V0がセグメント電圧選択スイッチSWs0を介して、また第6電圧V5がセグメント電圧選択スイッチSWs5を介してデータ有りスイッチSWx1a～SWxmaに供給される。第3出力電圧V2がセグメント電圧選択スイッチSWs2を介して、また第4出力電圧V3がセグメント電圧選択スイッチ

SWs 3 を介してデータ無レスイッチ SWx 1 b ~ SWx m b に供給される。

選択スイッチ SWs 5 と選択スイッチ SWs 3 が、交流化信号 FR が H レベルである奇数フレームで選択される。また、選択スイッチ SWs 0 と選択スイッチ SWs 2 が、交流化信号 FR が L レベルである偶数フレームで選択される。した  
5 がって、図 9 の信号電極 SEG k のように、奇数フレームでは表示データに応じて第 6 電圧 V 5 あるいは第 4 出力電圧 V 3 が印加され、偶数フレームでは表示データに応じて第 1 出力電圧 V 0 あるいは第 3 出力電圧 V 2 が印加される。

図 6 は、走査側駆動回路 2 0 の構成を示す図である。図 6 において、第 1 出力電圧 V 0 がコモン電圧選択スイッチ SWc 0 を介して、また第 6 電圧 V 5 がコモ  
10 ン電圧選択スイッチ SWc 5 を介して、選択走査スイッチ SWy 1 a ~ SWy n a に接続される。第 2 出力電圧 V 1 がコモン電圧選択スイッチ SWc 1 を介して、また第 5 出力電圧 V 4 がコモン電圧選択スイッチ SWc 4 を介して、非選択走査スイッチ SWy 1 b ~ SWy n b に接続される。

選択スイッチ SWc 0 と選択スイッチ SWc 4 が、交流化信号 FR が H レベル  
15 である奇数フレームで選択される。また、選択スイッチ SWc 5 と選択スイッチ SWc 1 が、交流化信号 FR が L レベルである偶数フレームで選択される。

選択走査スイッチ SWy 1 a ~ SWy n a 及び非選択走査スイッチ SWy 1 b ~ SWy n b は、走査電極 Y 1 ~ Y n 毎に一対ずつ設けられている。

スタート信号 ST と走査クロック LP を受ける走査回路 7 1 は、スタート信号  
20 ST を受けた後に走査クロック LP を受ける毎に、選択走査スイッチ SWy 1 a ~ SWy n a を 1 つづつ順次オンさせていく。

したがって、図 9 の走査電極 COM j のように、奇数フレームでは 1 つの走査電極のみが選択されて第 1 出力電圧 V 0 にあり、他の走査電極は第 5 出力電圧 V 4 が印加されている。偶数フレームでは 1 つの走査電極のみが選択されて第 6 電  
25 圧 V 5 にあり、他の走査電極は第 2 出力電圧 V 1 が印加されている。

この走査側駆動回路 2 0 において、非選択走査スイッチ SWy 1 b ~ SWy n

bが接続される位置、即ち、コモン電圧選択スイッチSWc1あるいはコモン電圧選択スイッチSWc4によって第2出力電圧V1あるいは第5出力電圧V4が供給される位置が、検出電圧Vdet1・4の検出位置である。

図7.A及び図7.Bは、双方向に電流を流すスイッチとして用いるにより好適  
5 なアナログスイッチの構成を示す図である。

このアナログスイッチは、P型MOSトランジスタとN型トランジスタとの並  
列回路から成るCMOSトランジスタ5aと、そのCMOSトランジスタ5aの  
一方の入力端子に接続されたインバータ5bと、CMOSトランジスタ5aの他  
方およびインバータ5bの各入力端子に接続された制御信号S1の入力線とから  
10 構成されている。図7.Aのアナログスイッチは、制御信号S1がHレベルのとき  
にオンし、Lレベルのときにオフする。図7.Bのアナログスイッチは、制御信号  
S1がLレベルのときにオンし、Hレベルのときにオフする。

このアナログスイッチは、コモン電圧選択スイッチSWc0～SWc5、セグ  
メント電圧選択スイッチSWs0～SWs5や、信号電極、走査電極を選択する  
15 スイッチとして用いられる。

なお、図2の電源回路40における第1、第3出力スイッチSW1p、SW4  
pはP型MOSトランジスタによるスイッチ回路とし、第2、第4出力スイッチ  
SW1n、SW4nはN型MOSトランジスタによるスイッチ回路としている。

以上のように構成されている、本発明の表示装置の動作を、各図を参照して説  
20 明する。

電源回路40から第1出力電圧V0～第6電圧V5が出力され、それぞれ所要  
の電圧が走査側駆動回路20と信号側駆動回路30に供給される。また、検出電  
圧Vdet1・4が走査側駆動回路20の検出位置から電源回路の第1、第2電  
圧比較器CP1、CP4に帰還される。

25 この状態で、制御回路50から、スタート信号ST、表示データD、クロック  
CK、走査クロックLP、交流化信号FRが、走査側駆動回路20と信号側駆動

回路 3 0 に供給される。これにより、走査電極 Y 1 ～ Y m の走査と信号電極 X 1 ～ X m への信号の供給がおこなわれて、ディスプレイ 1 0 に表示データ D (D 1 ～ D m) にしたがった画像が表示される。

この表示動作中において、各走査電極及び信号電極には、それぞれ所定の出力電圧が印加されることが望ましい。しかし、表示素子はコンデンサ素子として機能するから、例えばその信号電極 X 1 ～ X m に印加される信号電圧の変化に応じて、対応する走査電極 Y 1 ～ Y n の電圧がノイズ電圧状に変動する。

これをコモン電圧選択スイッチ SW c 1、SW c 4 の走査電極側でみると、奇数フレームにおいては、第 1 出力電圧 V 0 にあった走査電極が次の瞬間に第 5 出力電圧 V 4 に変化するし、また、各信号電極の電圧が第 4 出力電圧 V 3 と第 6 電圧 V 5 に変化する。このような電圧の変化にしたがって、コモン電圧選択スイッチ SW c 1、SW c 4 の走査電極側の電圧（この場合は、第 5 出力電圧 V 4）が所定の電圧に維持されず、変動する。この電圧変動に起因して、クロストークが発生し、表示品質を劣化させる。この状況は偶数フレームについても同様であつて、コモン電圧選択スイッチ SW c 1、SW c 4 の走査電極側の電圧（この場合は、第 2 出力電圧 V 1）が所定の電圧に維持されず変動する。即ち、クロストークが発生し、表示品質を劣化させる。

本発明では、走査電極側の電圧、即ち、第 2 出力電圧 V 1 及び第 5 出力電圧 V 4 の変動を、速やかに所定の電圧に維持して、クロストークを低減する。

そのための各構成については、各図の説明で既に述べた通りであるが、電圧比較のための検出電圧 V d e t 1 ～ 4 を走査電極 Y 1 ～ Y n にできるだけ近い位置で検出する。具体的には、コモン電圧選択スイッチ SW c 1、SW c 4 の走査電極側を電圧検出位置とする。この検出電圧 V d e t 1 ～ 4 を第 1、第 2 電圧比較器 C P 1、C P 4 へ帰還している。

これにより、電圧の変動分が、従来の特許文献 1 のようにコモン電圧選択スイッチ SW c 1、SW c 4 で減衰されることなく検出できるから、実際の変動電圧

により近い電圧を検出することができる。したがって、小さいノイズにも電圧比較器CP1、CP4が速やかに反応し、出力電圧をより安定して出力できる。

また、高電圧側のバッファ回路B1は、その基準電圧V1rとバッファ回路B1の出力端につながる検出位置の検出電圧Vdet1·4とを比較する第1電圧比較器CP1を有している。その第1電圧比較器CP1は、検出電圧Vdet1·4が、バッファ回路B1への基準電圧V1rより少し高い電圧範囲でヒステリシス動作を行う構成である。したがって、第6電圧V5にあった走査電極が次の瞬間に第2出力電圧V1に変化する場合に、第1、第2出力スイッチSW1p、SW1nの切替を伴わないから、速やかに応答することができる。

同様に、低電圧側のバッファ回路B4は、その基準電圧V4rとバッファ回路B4の出力端につながる検出位置の検出電圧Vdet1·4とを比較する第2電圧比較器CP4を有している。その第2電圧比較器CP4は、検出電圧Vdet1·4が、バッファ回路B4への基準電圧V4rより少し低い電圧範囲でヒステリシス動作を行う構成である。したがって、第1出力電圧V0にあった走査電極が次の瞬間に第5出力電圧V4に変化する場合に、第3、第4出力スイッチSW4p、SW4nの切替を伴わないから、速やかに応答することができる。

また、高電圧側バッファ回路B1における第1出力回路B1pと第2出力回路B1n、及び低電圧側バッファ回路B4における第3出力回路B4pと第4出力回路B4nは常に動作状態にあるから、信号電極側の電圧変化(V3→V5, V5→V3及び、V0→V2, V2→V0)に伴う電圧変動も、速やかに抑制することができる。

また、検出電圧Vdet1·4の検出位置を、コモン電圧選択スイッチSWc1、SWc4の走査電極側したことにより、比較電圧の異なる2つの電圧比較器CP1、CP4に対して共通の検出電圧が使用でき、検出電圧の帰還経路は1つのみでよい。

### 産業上の利用可能性

本発明に係る表示装置用駆動装置によると、液晶表示素子を用いた液晶表示装置や、有機EL表示素子を用いた有機EL表示装置等のマトリクス型表示装置において、クロストークを低減し、表示品質を向上することができる。

## 請求の範囲

1. 表示用基準電圧から抵抗分圧して複数のバイアス電圧を発生する抵抗分圧回路と、前記複数のバイアス電圧をそれぞれインピーダンス変換して出力電圧と  
5 して出力する複数のバッファ回路と、マトリクス型表示素子の走査側電極に印加する電圧を前記複数のバッファ回路の出力電圧から選択して印加する走査側駆動回路と、前記マトリクス型表示素子の信号側電極に印加する電圧を前記複数のバッファ回路の出力電圧から選択して印加する信号側駆動回路を備える表示装置用駆動装置において、  
10 前記複数バッファ回路のうちの少なくとも1つのバッファ回路は、  
当該バッファ回路へのバイアス電圧と当該バッファ回路の出力電圧とがそれぞれ  
15 入力され高レベル側への出力電流の駆動能力を大きくした第1出力回路と、この第1出力回路から出力するための第1出力スイッチと、当該バッファ回路への  
バイアス電圧と当該バッファ回路の出力電圧とがそれぞれ入力され低レベル側への  
出力電流の駆動能力を大きくした第2出力回路と、この第2出力回路から出力するための第2出力スイッチと、  
20 当該バッファ回路へのバイアス電圧と当該バッファ回路の出力端側で検出された検出電圧とを比較し、その比較結果に応じて前記第1出力スイッチと前記第2出力スイッチとを切り替えるための電圧比較器とを有することを特徴とする、表示装置用駆動装置。  
2. 前記電圧比較器は、ヒステリシス特性を有することを特徴とする、請求項1記載の表示装置用駆動装置。  
3. 前記ヒステリシス特性は、前記バイアス電圧を含まない電圧範囲に設定されていることを特徴とする、請求項2記載の表示装置用駆動装置。  
25 4. 表示用基準電圧から抵抗分圧して複数のバイアス電圧を発生する抵抗分圧回路と、前記複数のバイアス電圧をそれぞれインピーダンス変換して出力電圧と

して出力する複数のバッファ回路と、マトリクス型表示素子の走査側電極に印加する電圧を前記複数のバッファ回路の出力電圧から選択して印加する走査側駆動回路と、前記マトリクス型表示素子の信号側電極に印加する電圧を前記複数のバッファ回路の出力電圧から選択して印加する信号側駆動回路を備える表示装置用

5 駆動装置において、

前記複数バッファ回路のうちの 1 つのバッファ回路（以下、高電圧側バッファ回路）は、

当該高電圧側バッファ回路へのバイアス電圧と当該高電圧側バッファ回路の出力電圧が入力され高レベル側への出力電流の駆動能力を大きくした第 1 出力回路  
10 と、この第 1 出力回路から出力するための第 1 出力スイッチと、当該高電圧側バッファ回路へのバイアス電圧と当該高電圧側バッファ回路の出力電圧が入力され低レベル側への出力電流の駆動能力を大きくした第 2 出力回路と、この第 2 出力回路から出力するための第 2 出力スイッチと、

当該高電圧側バッファ回路へのバイアス電圧と表示素子に非表示時に印加される電圧を検出した検出電圧とを比較し、その比較結果に応じて前記第 1 出力スイッチと前記第 2 出力スイッチとを切り替えるための第 1 電圧比較器を有し、

前記複数バッファ回路のうちの他の 1 つのバッファ回路（以下、低電圧側バッファ回路）は、

前記高電圧側バッファ回路のバイアス電圧よりも低いバイアス電圧と当該低電圧側バッファ回路の出力電圧が入力され高レベル側への出力電流の駆動能力を大きくした第 3 出力回路と、この第 3 出力回路から出力するための第 3 出力スイッチと、当該低電圧側バッファ回路へのバイアス電圧と当該低電圧側バッファ回路の出力電圧が入力され低レベル側への出力電流の駆動能力を大きくした第 4 出力回路と、この第 4 出力回路から出力するための第 4 出力スイッチと、

25 当該低電圧側バッファ回路へのバイアス電圧と前記検出電圧とを比較し、その比較結果に応じて前記第 3 出力スイッチと前記第 4 出力スイッチとを切り替える

ための第2電圧比較器を有し、

前記検出電圧が検出される検出位置は、前記高電圧側バッファ回路の出力端に第1選択スイッチを介してつながるとともに、前記低電圧側バッファ回路の出力端に第2選択スイッチを介してつながっており、

5 前記第1選択スイッチと前記第2選択スイッチは交流化信号に応じていずれかが選択されることを特徴とする、表示装置用駆動装置。

5. 前記第1電圧比較器及び第2電圧比較器は、それぞれヒステリシス特性を有することを特徴とする、請求項4記載の表示装置用駆動装置。

6. 前記第1電圧比較器は、前記検出電圧が、前記高電圧側バッファ回路への  
10 バイアス電圧より少し高い電圧範囲でヒステリシス動作を行い、

前記第2電圧比較器は、前記検出電圧が、前記低電圧側バッファ回路へのバイアス電圧より少し低い電圧範囲でヒステリシス動作を行うことを特徴とする、請求項5記載の表示装置用駆動装置。

7. 請求項1乃至請求項6のいずれかに記載された表示装置用駆動装置と、該  
15 表示装置用駆動装置により駆動されるマトリクス型表示パネルを有することを特徴とする、表示装置。

図 1

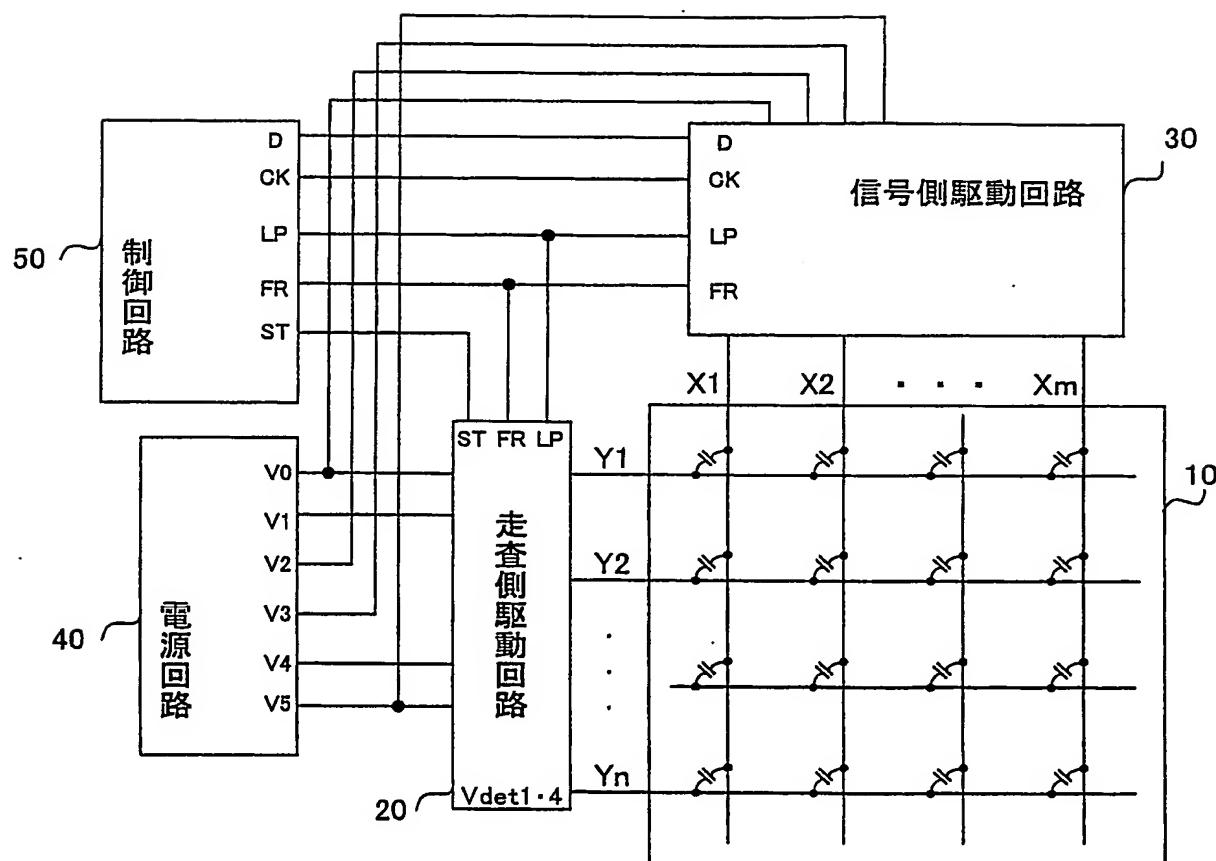


図 2

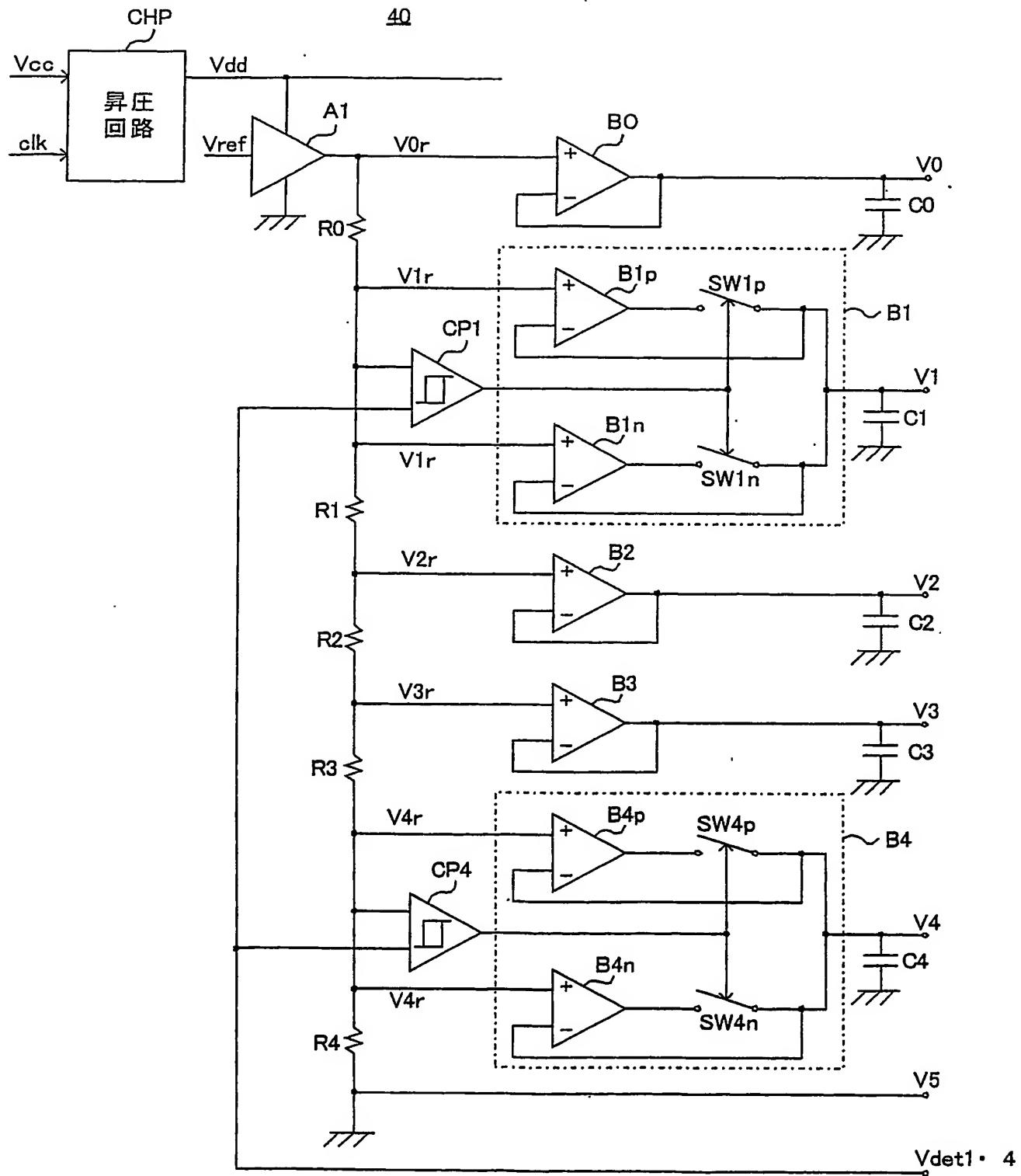


図 3. A

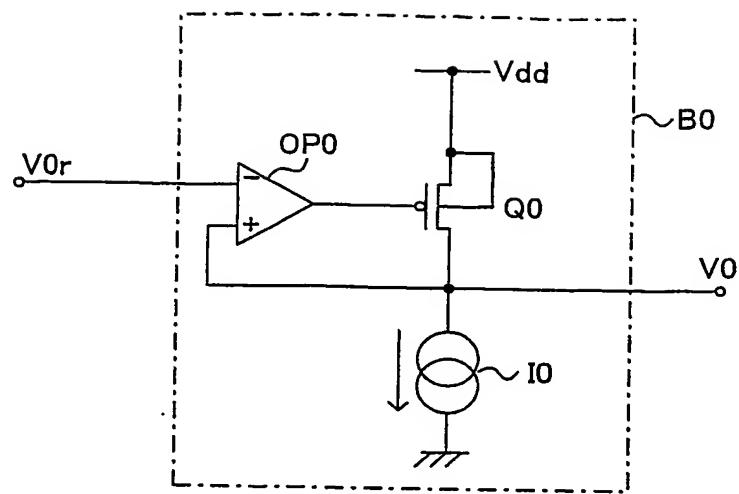


図 3. B

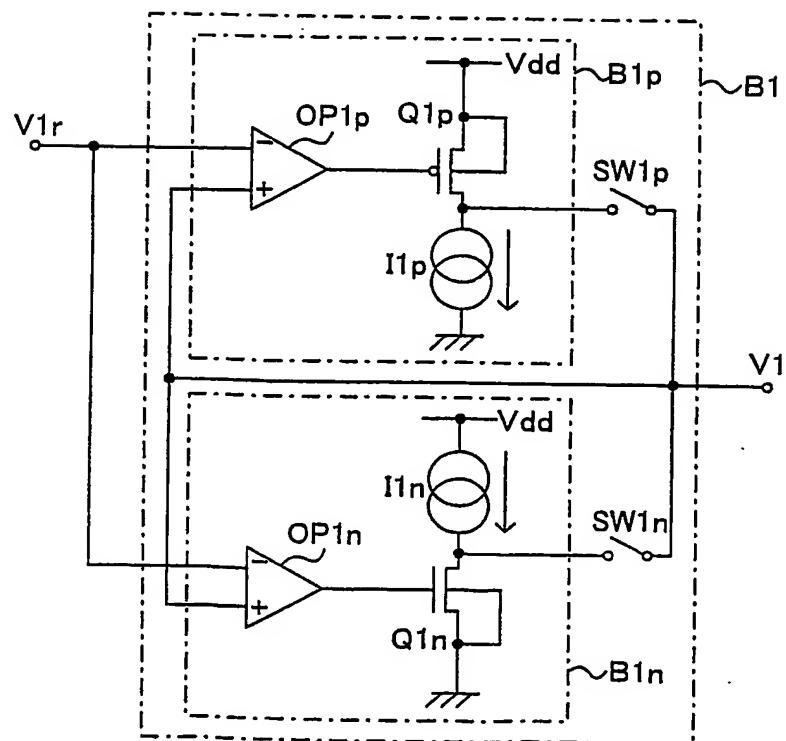


図 3. C

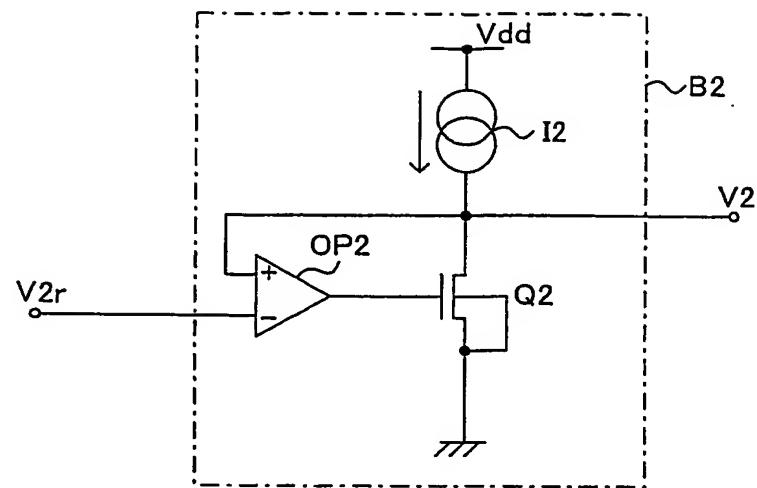


図 3. D

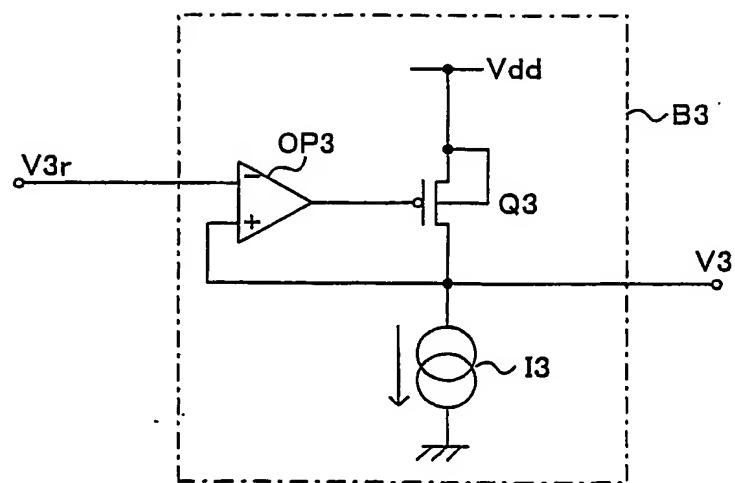


図3.E

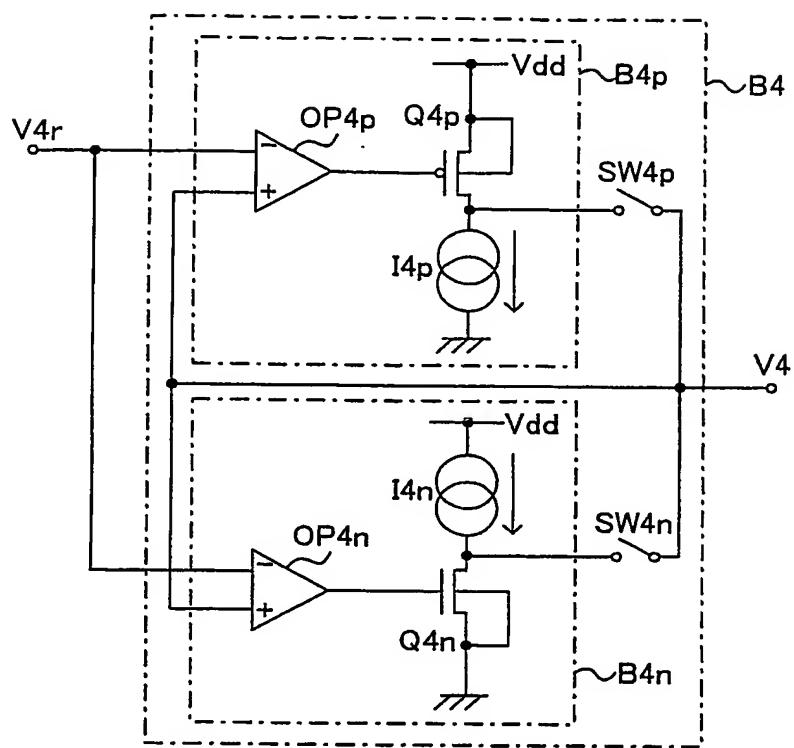


図 4. A

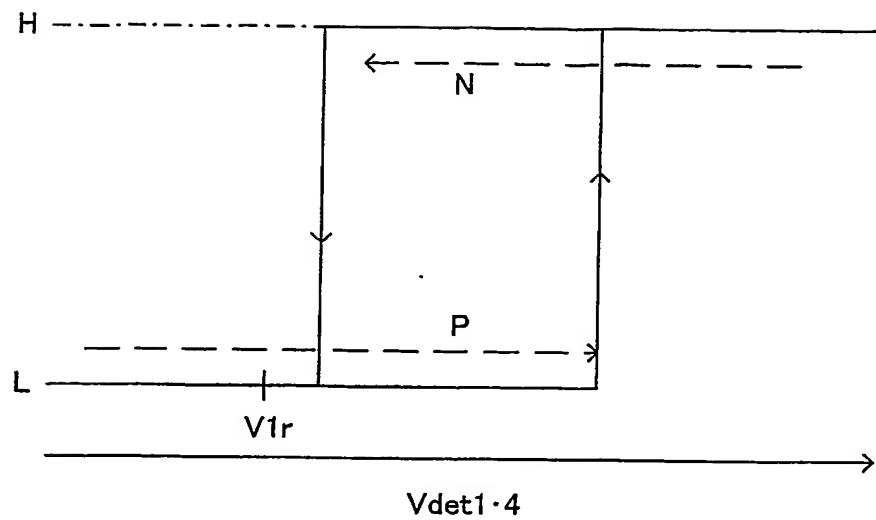
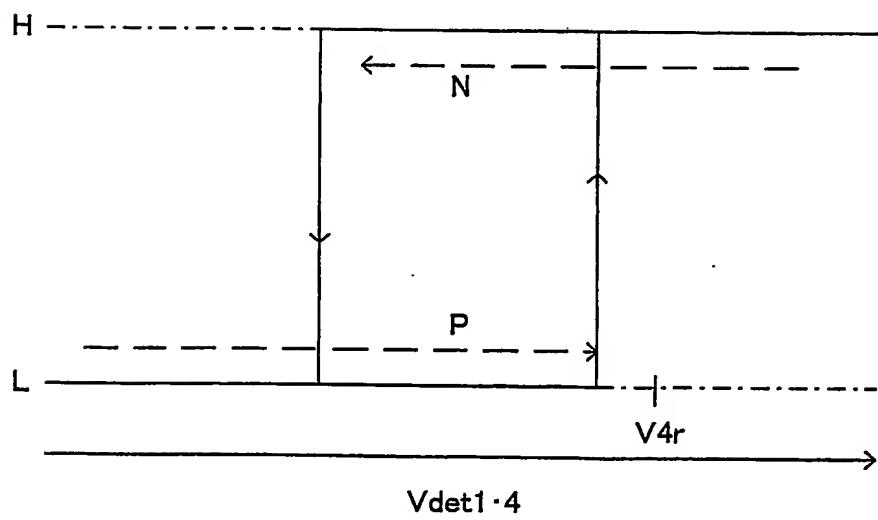


図 4. B



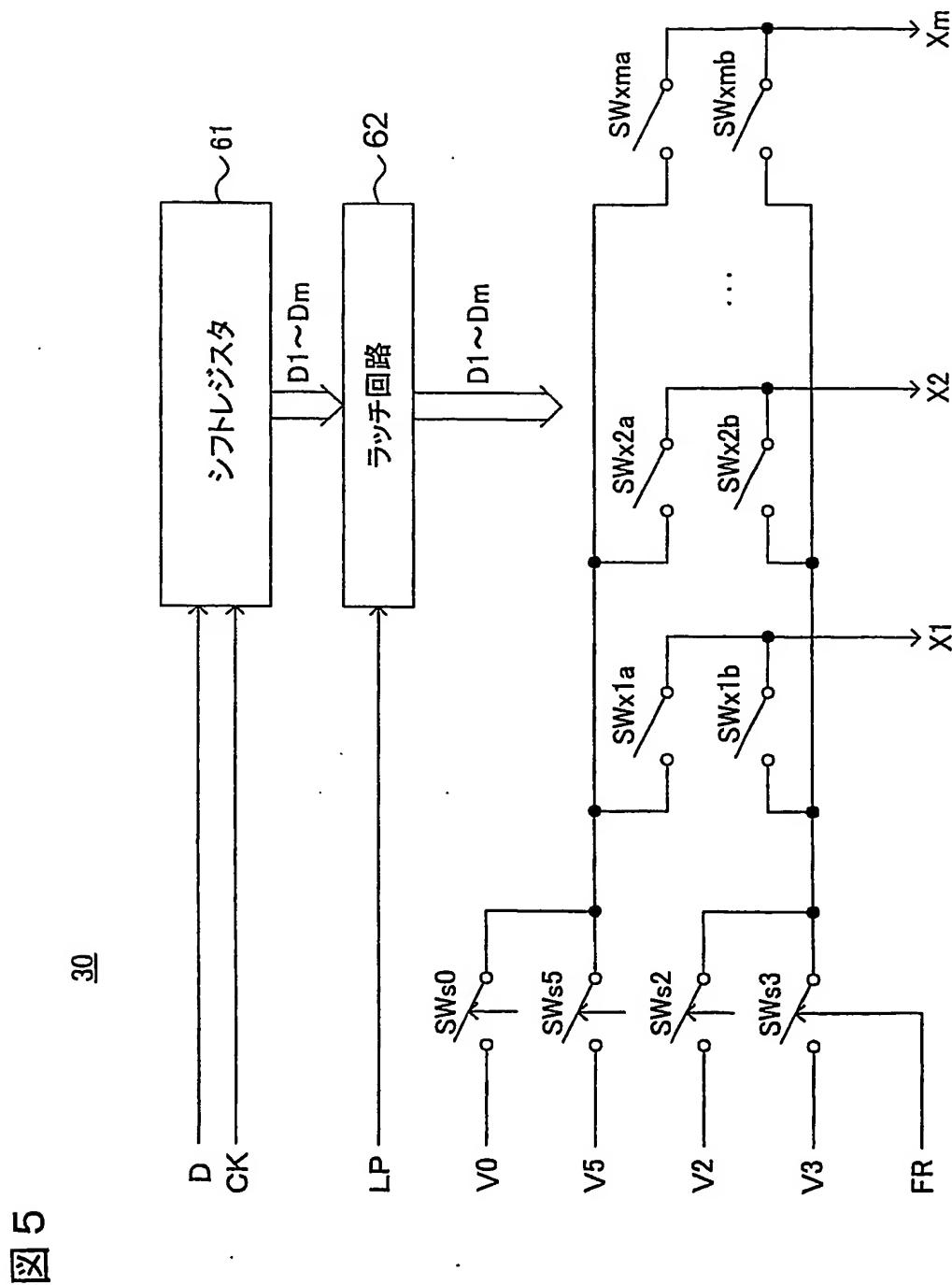


图 6

20

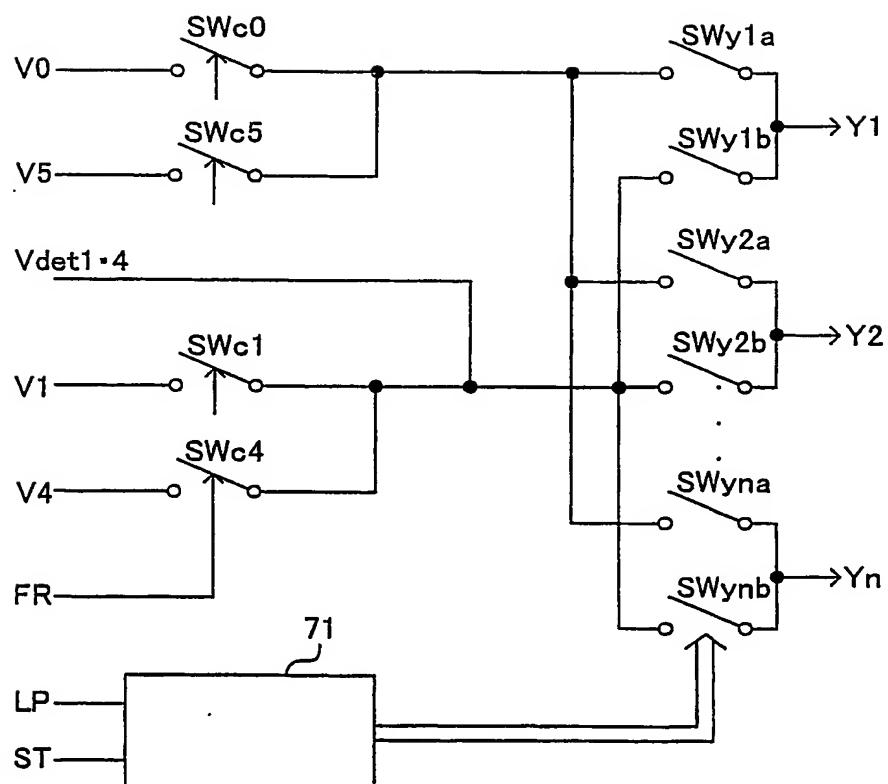


図 7. A

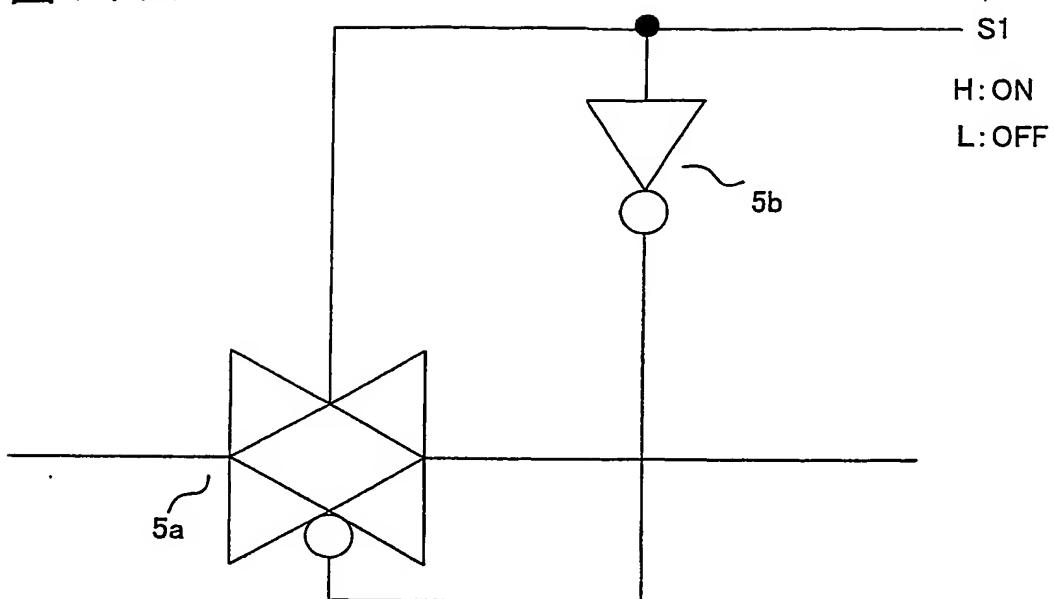
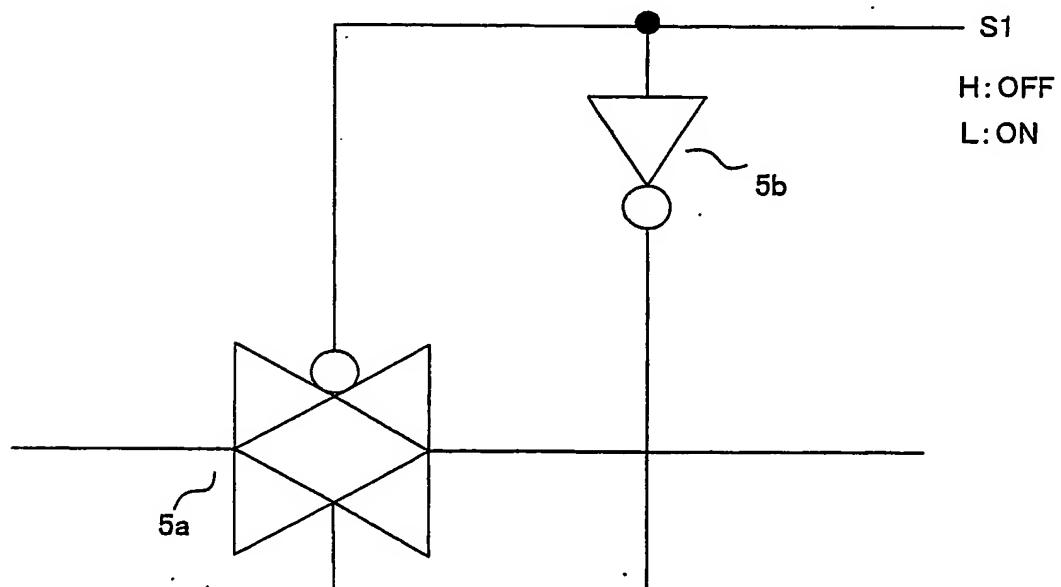


図 7. B



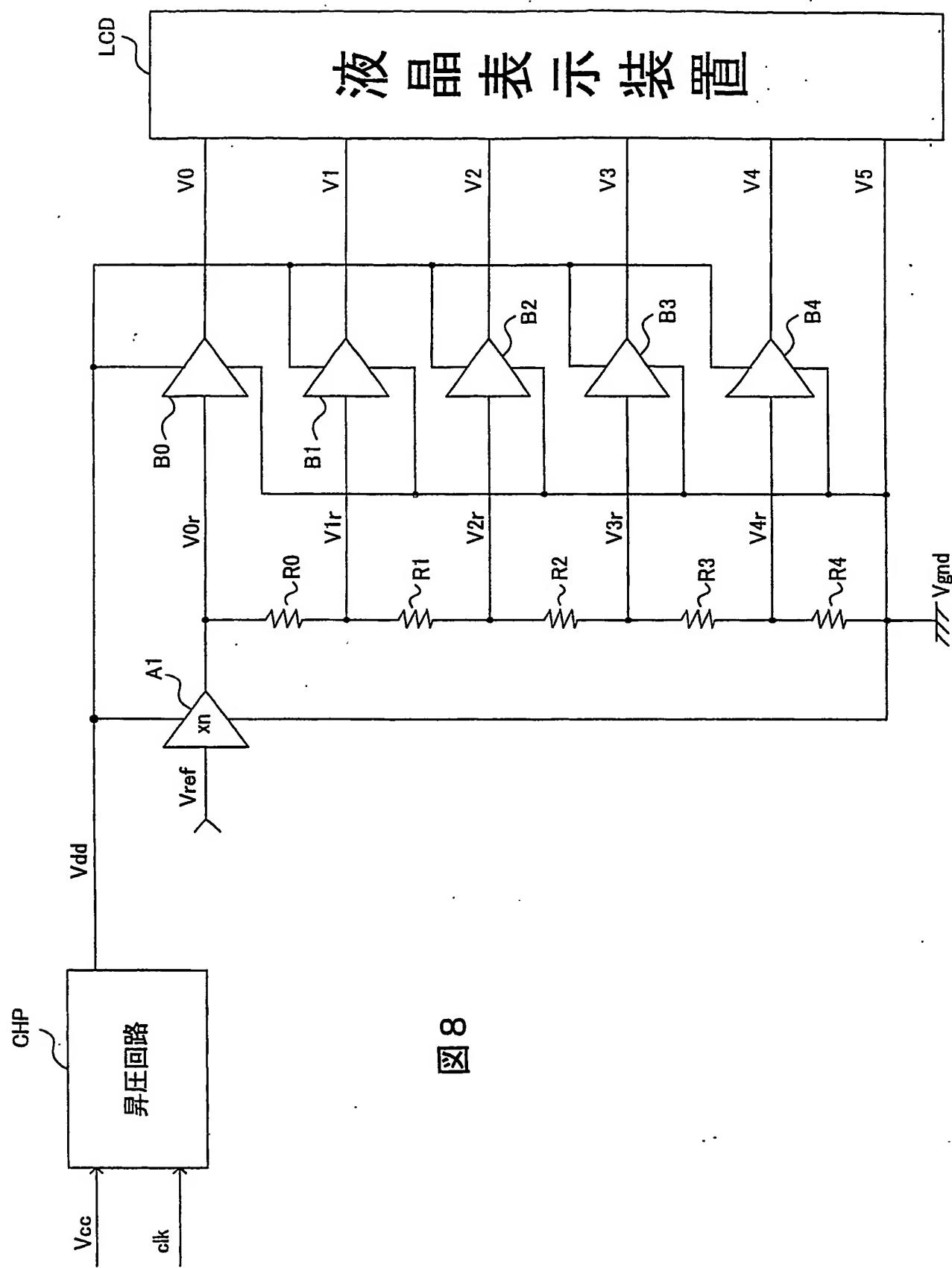
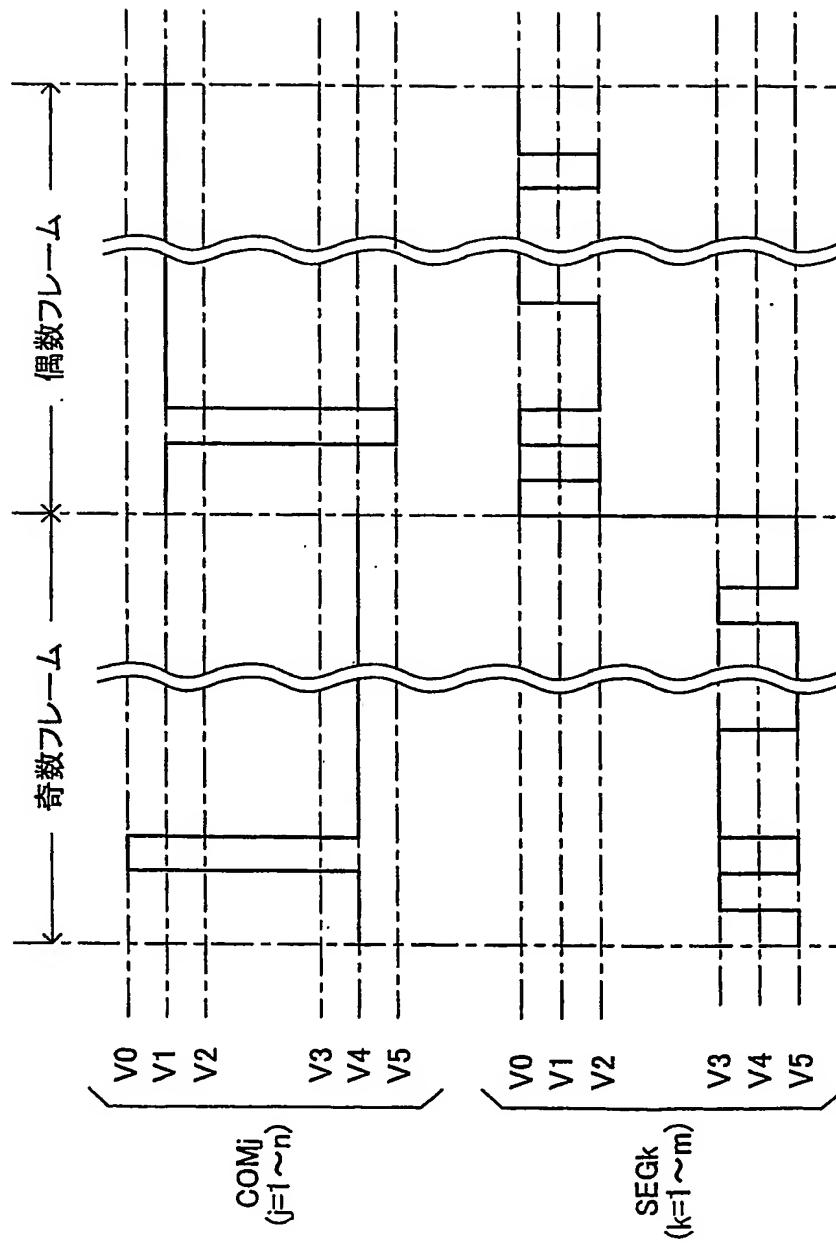


図9



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/018533

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.Cl<sup>7</sup> G09G3/36, G02F1/133

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> G09G3/00-3/38, G02F1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2005  
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2000-132147 A (Casio Computer Co., Ltd.), 12 May, 2000 (12.05.00), Par. Nos. [0025] to [0061]; Figs. 1 to 5 (Family: none)	1-2, 7 3-6
A	JP 5-119297 A (Fujitsu Ltd.), 18 May, 1993 (18.05.93), Par. Nos. [0001] to [0016]; Figs. 1 to 2 (Family: none)	1-7
A	JP 2000-20147 A (Casio Computer Co., Ltd.), 21 January, 2000 (21.01.00), Full text; all drawings (Family: none)	1-7

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
20 January, 2005 (20.01.05)

Date of mailing of the international search report  
08 February, 2005 (08.02.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Faxsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/018533

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 4-143791 A (Toshiba Corp.), 18 May, 1992 (18.05.92), Full text; all drawings & US 5343221 A & EP 0479304 A2	1-7
A	JP 9-203885 A (Rohm Co., Ltd.), 05 August, 1997 (05.08.97), Full text; all drawings (Family: none)	1-7
A	JP 2002-156935 A (Oki Electric Industry Co., Ltd.), 31 May, 2002 (31.05.02), Full text; all drawings (Family: none)	1-7
A	JP 2002-169501 A (Sharp Corp.), 14 June, 2002 (14.06.02), Full text; all drawings (Family: none)	1-7
A	JP 2003-345311 A (Matsushita Electric Industrial Co., Ltd.), 03 December, 2003 (03.12.03), Full text; all drawings (Family: none)	1-7
A	JP 3-251817 A (Hitachi, Ltd.), 11 November, 1991 (11.11.91), Full text; all drawings (Family: none)	1-7

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int. Cl' G 09 G 3/36  
 G 02 F 1/133

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
 Int. Cl' G 09 G 3/00-3/38  
 G 02 F 1/133

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
 日本国公開実用新案公報 1971-2005年  
 日本国実用新案登録公報 1996-2005年  
 日本国登録実用新案公報 1994-2005年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2000-132147 A (カシオ計算機株式会社)	1-2, 7
A	2000. 05. 12, 段落【0025】-【0061】, 【図1】-【図5】 (ファミリーなし)	3-6
A	JP 5-119297 A (富士通株式会社) 1993. 05. 18, 段落【0001】-【0016】, 【図1】-【図2】 (ファミリーなし)	1-7
A	JP 2000-20147 A (カシオ計算機株式会社) 2000. 01. 21, 全文, 全図 (ファミリーなし)	1-7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日 20. 01. 2005	国際調査報告の発送日 08. 2. 2005
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 西島 篤宏 2G 9308

電話番号 03-3581-1101 内線 3225

C (続き) . 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	JP 4-143791 A (株式会社東芝) 1992. 05. 18, 全文, 全図 & US 5343221 A & EP 0479304 A2	1-7
A	JP 9-203885 A (ローム株式会社) 1997. 08. 05, 全文, 全図 (ファミリーなし)	1-7
A	JP 2002-156935 A (沖電気工業株式会社) 2002. 05. 31, 全文, 全図 (ファミリーなし)	1-7
A	JP 2002-169501 A (シャープ株式会社) 2002. 06. 14, 全文, 全図 (ファミリーなし)	1-7
A	JP 2003-345311 A (松下電器産業株式会社) 2003. 12. 03, 全文, 全図 (ファミリーなし)	1-7
A	JP 3-251817 A (株式会社日立製作所) 1991. 11. 11, 全文, 全図 (ファミリーなし)	1-7